

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR05/000965

International filing date: 01 April 2005 (01.04.2005)

Document type: Certified copy of priority document

Document details: Country/Office: KR  
Number: 10-2004-0022643  
Filing date: 01 April 2004 (01.04.2004)

Date of receipt at the International Bureau: 30 June 2005 (30.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office

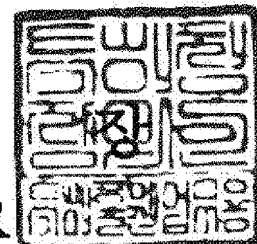
출 원 번 호 : 특허출원 2004년 제 0022643 호  
Application Number 10-2004-0022643

출 원 일 자 : 2004년 04월 01일  
Date of Application APR 01, 2004

출 원 인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research  
Institute

2005 년 06 월 09 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2004.04.01
【발명의 국문명칭】	E-V S B 시스템의 백워드 컴퓨터빌러티 바이트를 이용한 수신 성능 개선 장치
【발명의 영문명칭】	Apparatus for Improving Receiving Ability with Backward Compatibility Byte of E-VSB system
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-051975-8
【발명자】	
【성명의 국문표기】	김성훈
【성명의 영문표기】	KIM, Sung Hoon
【주민등록번호】	700716-1019222
【우편번호】	302-170
【주소】	대전광역시 서구 갈마동 갈마아파트 203-304
【국적】	KR
【발명자】	
【성명의 국문표기】	이재영
【성명의 영문표기】	LEE, Jae Young

【주민등록번호】	770912-1042821
【우편번호】	138-916
【주소】	서울특별시 송파구 잠실5동 27번지 주공아파트 514-201
【국적】	KR
【발명자】	
【성명의 국문표기】	지금란
【성명의 영문표기】	JI ,Kum Ran
【주민등록번호】	790215-2641435
【우편번호】	519-806
【주소】	전라남도 화순군 화순읍 만연리 167번지
【국적】	KR
【발명자】	
【성명의 국문표기】	김승원
【성명의 영문표기】	KIM,Seung Won
【주민등록번호】	640609-1268419
【우편번호】	302-782
【주소】	대전광역시 서구 삼천동 국화동성아파트 105-202
【국적】	KR
【발명자】	
【성명의 국문표기】	이수인
【성명의 영문표기】	LEE,Soo In
【주민등록번호】	620216-1683712
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 크로바아파트 106-606
【국적】	KR
【발명자】	
【성명의 국문표기】	안치득
【성명의 영문표기】	AHN,Chie Teuk

【주민등록번호】	560815-1053119		
【우편번호】	305-761		
【주소】	대전광역시 유성구 전민동 엑스포아파트 208-603		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 <span style="float: right;">특허법인 신</span> 성 (인)		
【수수료】			
【기본출원료】	0 면	38,000 원	
【가산출원료】	12 면	0 원	
【우선권주장료】	0 건	0 원	
【심사청구료】	0 항	0 원	
【합계】	38,000 원		
【감면사유】	정부출연연구기관		
【감면후 수수료】	19,000 원		
【기술이전】			
【기술양도】	희망		
【실시권허여】	희망		
【기술지도】	희망		

## 【요약서】

### 【요약】

본 발명은 Backward compatibility parity byte를 사용하여 robust 스트림의 수신성능 향상을 위해 이를 에러정정용 parity byte로 이용하는 수신기에 관한 것임.

### 【대표도】

도 2

### 【색인어】

NRS, VSB, 송신기, 수신기

## 【명세서】

### 【발명의 명칭】

E-VSB 시스템의 백워드 컴패티빌리티 바이트를 이용한 수신 성능 개선  
장치{Apparatus for Improving Receiving Ability with Backward Compatibility  
Byte of E-VSB system}

### 【도면의 간단한 설명】

- <1> 도 1은 본 발명에 따른 E-VSB 송신단을 설명하는 도면,
- <2> 도 2는 본 발명에 따른 E-VSB 수신단을 설명하는 도면,
- <3> 도 3은 본 발명에 따른 E-VSB enhanced TCM 블록도,
- <4> 도 4는 종래의 E-VSB 송신단의 backward compatibility parity byte 생성부  
블록도,
- <5> 도 5는 종래의 E-VSB 수신단의 backward compatibility parity byte 처리부  
블록도,
- <6> 도 6은 backward compatibility parity byte(NRS decoder) 처리부 위치도이  
다.

### 【발명의 상세한 설명】

### 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7>           본 발명은 ATSC 전송에 관한 것이다. E-VSB 방식은 dual stream 형태로 normal/robust 스트림을 구분하여 전송함으로써 E-VSB를 지원하지 않는 수신기는 robust 스트림을 인식하지 못하여 demux/decoding을 하지않고, E-VSB를 지원하는 수신기는 normal/robust 스트림을 각각 구하여 선택적으로 demux/decoding이 가능하도록 되어있다.

<8>           이 때 송신단에서 robust 스트림의 구성 중 기존의 8-VSB수신기와의 하위 호환성 유지를 위해 robust 스트림에backward compatibility parity byte를 첨가하여 기존의 8-VSB 수신기가 robust stream을 받아 이를 처리하는데 문제가 발생하지 않도록 backward compatibility parity byte 인코더 블록이 존재한다. 그러나 이러한 backward compatibility parity byte는 현재까지는 단순히 8-VSB 전용 수신기에서 robust packet의 처리과정에서 하위호환성 문제가 발생하지 않도록 하는데 사용되었을 뿐 이러한 잉여정보를 에러정정용 parity byte로 사용하지 않고 있다.

## 【발명이 이루고자 하는 기술적 과제】

<9>           본 발명은 이러한 backward compatibility parity byte를 E-VSB 수신단에서 에러정정용 parity byte로 재사용함으로써 coding gain을 얻어 기존의 E-VSB 수신기에 비해 수신성능을 향상 시키는데 그 목적이 있다.

<10>           본 발명이 속한 기술 분야에서 통상의 지식을 가진 자는 본 명세서의 도면,

발명의 상세한 설명 및 특허청구범위로부터 본 발명의 다른 목적 및 장점을 쉽게 인식할 수 있다.

### 【발명의 구성】

- <11> 본 발명은 Backward compatibility parity byte를 사용하여 robust 스트림의 수신성능 향상을 위해 이를 에러정정용 parity byte로 이용하는 수신기를 포함한다.
- <12> 이하의 내용은 단지 본 발명의 원리를 예시한다. 그러므로 당업자는 비록 본 명세서에 명확히 설명되거나 도시되지 않았지만 본 발명의 원리를 구현하고 본 발명의 개념과 범위에 포함된 다양한 장치를 발명할 수 있는 것이다. 또한, 본 명세서에 열거된 모든 조건부 용어 및 실시예들은 원칙적으로, 본 발명의 개념이 이해되도록 하기 위한 목적으로만 명백히 의도되고, 이와같이 특별히 열거된 실시예들 및 상태들에 제한적이지 않는 것으로 이해되어야 한다.
- <13> 또한, 본 발명의 원리, 관점 및 실시예들 뿐만 아니라 특정 실시예를 열거하는 모든 상세한 설명은 이러한 사항의 구조적 및 기능적 균등물을 포함하도록 의도되는 것으로 이해되어야 한다. 또한 이러한 균등물들은 현재 공지된 균등물뿐만 아니라 장래에 개발될 균등물 즉 구조와 무관하게 동일한 기능을 수행하도록 발명된 모든 소자를 포함하는 것으로 이해되어야 한다.
- <14> 따라서, 예를 들어, 본 명세서의 블록도는 본 발명의 원리를 구체화하는 예시적인

회로의 개념적인 관점을 나타내는 것으로 이해되어야 한다. 이와 유사하게, 모든 흐름도, 상태 변환도, 의사 코드 등은 컴퓨터가 판독 가능한 매체에 실질적으로 나타낼 수 있고 컴퓨터 또는 프로세서가 명백히 도시되었는지 여부를 불문하고 컴퓨터 또는 프로세서에 의해 수행되는 다양한 프로세스를 나타내는 것으로 이해되어야 한다.

<15> 프로세서 또는 이와 유사한 개념으로 표시된 기능 블록을 포함하는 도면에 도시된 다양한 소자의 기능은 전용 하드웨어뿐만 아니라 적절한 소프트웨어와 관련하여 소프트웨어를 실행할 능력을 가진 하드웨어의 사용으로 제공될 수 있다. 프로세서에 의해 제공될 때, 상기 기능은 단일 전용 프로세서, 단일 공유 프로세서 또는 복수의 개별적 프로세서에 의해 제공될 수 있고, 이들 중 일부는 공유될 수 있다.

<16> 또한 프로세서, 제어 또는 이와 유사한 개념으로 제시되는 용어의 명확한 사용은 소프트웨어를 실행할 능력을 가진 하드웨어를 배타적으로 인용하여 해석되어서는 아니되고, 제한 없이 디지털 신호 프로세서(DSP) 하드웨어, 소프트웨어를 저장하기 위한 롬(ROM), 램(RAM) 및 비 휘발성 메모리를 암시적으로 포함하는 것으로 이해되어야 한다. 주지관용의 다른 하드웨어도 포함될 수 있다.

<17> 본 명세서의 청구범위에서, 상세한 설명에 기재된 기능을 수행하기 위한 수단으로 표현된 구성요소는 예를 들어 상기 기능을 수행하는 회로 소자의 조합 또는 펌웨어/마이크로 코드 등을 포함하는 모든 형식의 소프트웨어를 포함하는 기능을 수행하는 모든 방법을 포함하는 것으로 의도되었으며, 상기 기능을 수행하도록 상기 소프

트웨어를 실행하기 위한 적절한 회로와 결합된다. 이러한 청구범위에 의해 정의되는 본 발명은 다양하게 열거된 수단에 의해 제공되는 기능들이 결합되고 청구항이 요구하는 방식과 결합되기 때문에 상기 기능을 제공할 수 있는 어떠한 수단도 본 명세서로부터 파악되는 것과 균등한 것으로 이해되어야 한다.

<18> 상술한 목적, 특징 및 장점들은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 우선 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

<19> 도1의 경우 E-VSB 송신기 실시예중 하나를 보인 것이다. 아래 설명되는 모든 데이터 처리는 normal 스트림이 아닌 robust 스트림 처리에만 사용되는 것을 미리 명시해 둔다.

<20> 이중에 도3에 명시된 enhanced TCM 의 출력값을 도 4의 Backward compatibility parity byte 생성부의 입력값으로 사용한다. 이때 입력값은 패킷의 위치에 상관없이 있을 수 있는 Non systematic RS 부호화를 사용하며 이때 생성된

parity byte들은 robust stream을 생성/처리시 사용된다.

<21>           상기에 간단히 언급된 내용은 기존의 8-VSB 수신기에서 robust 스트림을 처리하지 않고 버릴 수 있도록 robust 스트림을 구성하기 위한 송신단의 프로세스중 backward compatibility parity byte 생성을 중심으로 기술한 내용이다.

<22>           이를 수신/디코딩하기 위한 실시 예를 설명하면 도2는 E-VSB 수신단이다. 도2에서 보인 블록중 Backward compatibility parity byte를 처리하는 블록은 packet formatter이며, 이 구성을 도 5에서 보다 자세하게 보였다.

<23>           기존의 packet formatter는 ps\_hd\_sd라는 컨트롤 신호를 받아 normal 스트림은 처리하지 않고 robust packet에 대한 E-VSB 송신단 처리의 역과정을 수행하며, Backward compatibility parity byte 처리 역시 packet formatter에서 처리한다.

<24>           기존의 packet formatter는 control 신호등을 이용하여 robust stream내에서 해당입력 데이터가 데이터, 패킷헤더, 혹은 backward compatibility parity byte를 구분하여 이를 각각의 규정된 프로세스를 통해 처리하였으며, Backward compatibility parity byte 처리의 경우는 이러한 parity byte를 에러정정용으로 사용하지 않고 이를 버림으로써 RS 코딩이득을 얻지 못했다.

<25>           따라서 본 발명의 제안은 이러한 문제를 해결하여 Backward compatibility parity byte를 에러정정용으로 사용하여 RS 코딩이득을 얻는 새로운 수신단 packet formatter를 제안하며 도6은 RS 코딩이득을 얻기위한 처리블럭이 추가된 새로운 NRS(Nonsystematic RS)decoder/packet formatter 구조를 보인 것이다.

<26> 이 때의 NRS 디코더는 normal 스트림은 bypass하고 robust 스트림만 RS 디코딩하며 디코더의 출력값(오류 발생시 정정된 값), enhanced TCM register 값(TCM state bit) 위치정보등을 이용하여 enhanced TCM coder의 입력 bit값을 알 수 있는 구조로 되어 있으며, 에러 발생시 backward compatibility parity byte를 이용한 에러정정으로 코딩이득을 획득할 수 있다.

<27> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어서 명백하다 할 것이다.

### 【발명의 효과】

<28> 이러한 backward compatibility parity byte를 E-VSB 수신기에서 에러정정용 parity byte로 사용할 경우, 에러정정은 robust 스트림의 오류정정만이 가능하다.

<29> 따라서 normal 스트림의 경우 수신성능 향상을 기대하기 힘들며, robust 스트림의 경우 하나의 패킷(207 byte)당 10 byte까지 에러정정이 가능할 것으로 예상된다.

## 【특허청구범위】

### 【청구항 1】

Backward compatibility parity byte를 사용하여 robust 스트림의 수신성능 향상을 위해 이를 에러정정용 parity byte로 이용하는 수신기.

### 【청구항 2】

제1항에 있어서

E-VSB 수신단에서의 backward compatibility parity byte를 수신하여 처리하는 장치 및 방법.

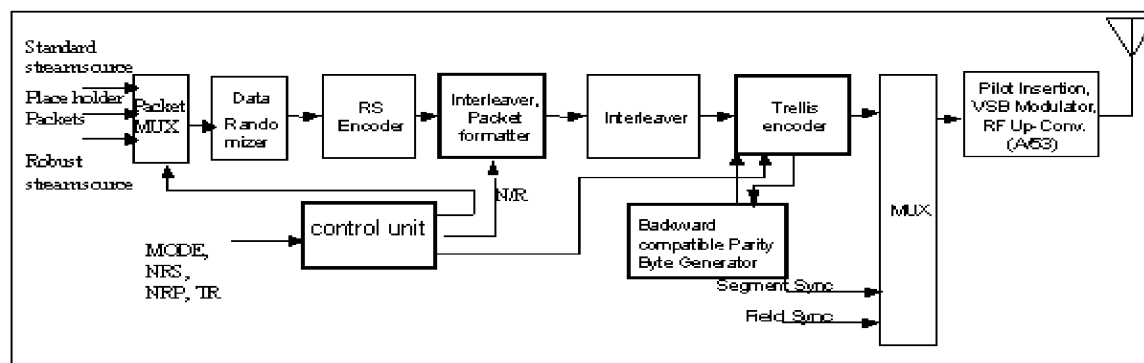
### 【청구항 3】

제1항에 있어서

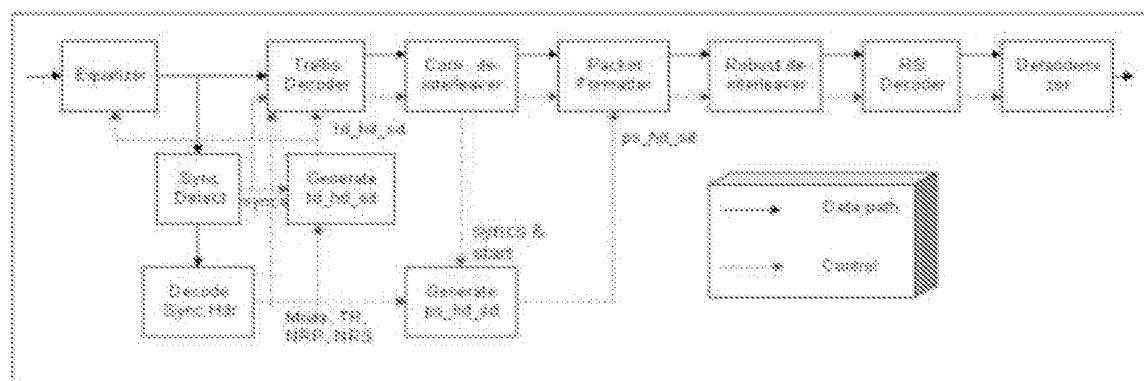
E-VSB 수신단에서의 backward compatibility parity byte를 수신하여 처리하는 장치 및 방법.

【도면】

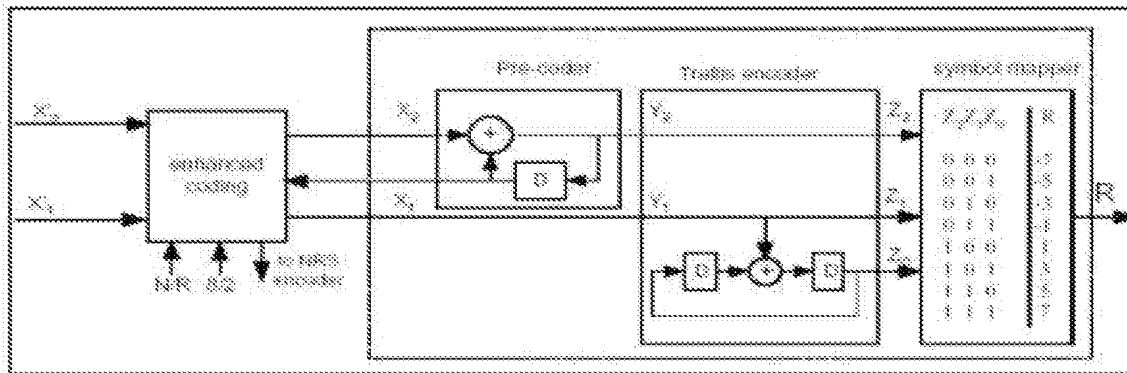
【도 1】



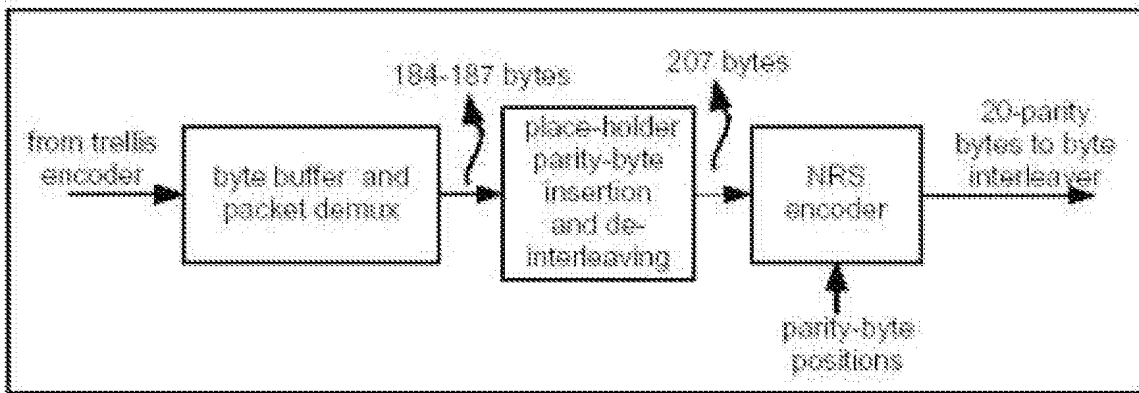
【도 2】



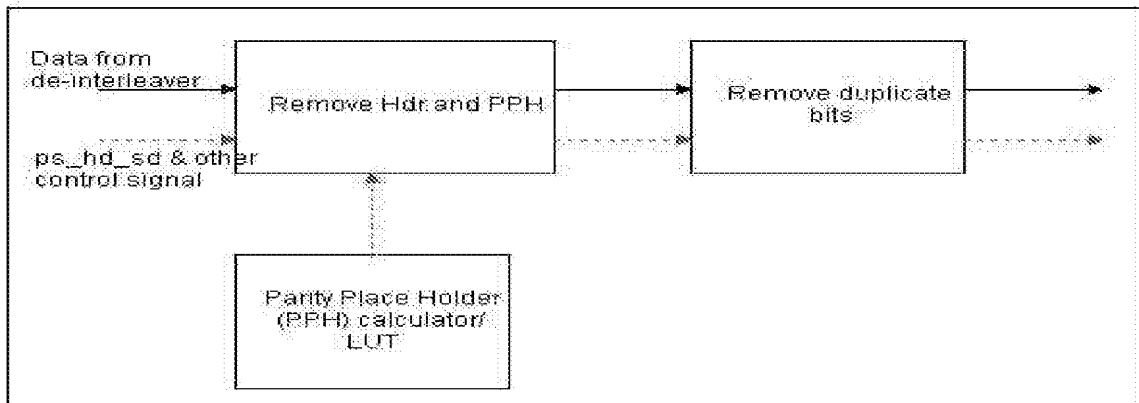
【도 3】



【도 4】



【도 5】



【도 6】

